

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-098134

(43)Date of publication of application : 28.04.1988

(51)Int.Cl.

H01L 21/90  
H01L 21/31  
H01L 21/95

(21)Application number : 61-243100

(71)Applicant : NIPPON TELEGR & TELEPH  
CORP <NTT>

(22)Date of filing : 15.10.1986

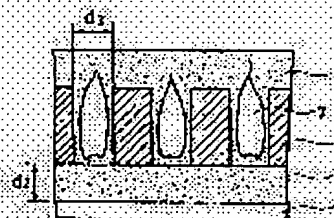
(72)Inventor : MACHIDA KATSUYUKI  
HASHIMOTO CHISATO  
OIKAWA HIDEO  
KOBAYASHI TOSHIO  
KIUCHI KAZUhide

## (54) WIRING STRUCTURE AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To reduce a capacity between wirings thereby to reduce a crosstalk amount and to improve electric characteristics of a wiring structure by providing a second insulating layer having a cavity insulating layer between the wirings on the wirings formed on a first insulating layer.

**CONSTITUTION:** A first insulating layer 5 made of SiO<sub>2</sub> is formed on a semiconductor substrate 4, a plurality of wirings 6 made of aluminum are formed on the layer 5, and a second insulating layer 8 having a cavity insulating layer 7 is formed between the wirings 6 on the wirings 6. Thus, even if the thickness d<sub>2</sub> of the layer 5 under the wirings 6 is equal to the thickness d<sub>3</sub> between the wirings 6, or even if the thickness d<sub>3</sub> is small between the wirings 6, a capacity between the wirings 6 can be reduced smaller than the ground capacity of the wirings 6. Thus, even if the wirings 6 are mounted with high density, a crosstalk is scarcely generated.



PAT-NO: JP363237408A  
DOCUMENT-IDENTIFIER: JP 63237408 A  
TITLE: SUBSTRATE FOR SEMICONDUCTOR DEVICE  
PUBN-DATE: October 3, 1988

INVENTOR-INFORMATION:  
NAME  
YAMADA, ATSUSHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SUMITOMO METAL MINING CO LTD N/A

APPL-NO: JP62070220  
APPL-DATE: March 26, 1987

INT-CL (IPC): H01L021/02, H01L021/78 , H01L027/00 , H01L027/12  
US-CL-CURRENT: 148/DIG.135, 438/421 , 438/FOR.225

ABSTRACT:

PURPOSE: To enhance the quality and yield rate of a product by a method where in a groove along a cutting pattern is made in advance at a silicon single-crystal thin film of an SOI substrate so that the thin film can be cut without damage.

CONSTITUTION: A resist 6 is coated on the surface of a mainly formed SiO<sub>2</sub> film 5; after that, a desired cutting pattern whose width W is almost 100 microns is exposed and processed; the SiO<sub>2</sub> film 5 is etched by using a buffer solution of hydrofluoric acid; grooves 7a are made. Then, this assembly is etched in an aqueous solution of KOH; an SiO<sub>2</sub> film of

a substrate is bonded to a face where the resist 6 and grooves 7 have been formed. Lastly, if the rear of the grooves 7 is ground to form a silicon single-crystal thin film 4a whose thickness is less than  $5\ \mu$ , an SOI substrate 1 where the grooves of a desired pattern have been made is obtained. When the SOI substrate manufactured in this way is cut along the grooves 7, no chipping occurs and a good cut piece is obtained.

COPYRIGHT: (C)1988, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-98134

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月28日

H 01 L 21/90  
21/31  
21/95

J - 6708-5F  
6708-5F  
6708-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 配線構造およびその製造方法

⑮ 特 願 昭61-243100

⑯ 出 願 昭61(1986)10月15日

⑰ 発 明 者 町 田 克 之 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑱ 発 明 者 橋 本 千 里 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑲ 発 明 者 及 川 秀 男 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

⑳ 発 明 者 小 林 敏 夫 神奈川県厚木市森の里若宮3番1号 日本電信電話株式会社厚木電気通信研究所内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 山川 政樹 外1名

最終頁に続く

明 細 書

1. 発明の名称

配線構造およびその製造方法

2. 特許請求の範囲

- (1) 基板上に形成された第1の絶縁層と、前記第1の絶縁層上に形成された配線と、前記配線の上に該配線相互間の少なくとも一部に空洞絶縁層を有して形成された第2の絶縁層とを備えた配線構造。
- (2) 基板上に第1の絶縁層を形成する工程と、前記絶縁層上に金属膜を形成する工程と、前記金属膜をエッチングにより配線を形成する工程と、前記配線を含む第1の絶縁層上に斜め粒子の多い堆積法により第2の絶縁層を形成する工程とを含む配線構造の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は高密度および高速度化される半導体集積回路におけるサブミクロン配線に適用される配線構造およびその製造方法に係わり、特に層間絶縁膜の構成およびその形成方法に関するものであ

る。

(従来技術)

半導体集積回路において、高密度化および高速化の進歩は著しいものがある。

最近、LSIの性能を制約する問題として、デバイスよりも配線にかかわる問題がクローズアップされてきた。その問題点は、大きく分けて2つある。第1点は、配線抵抗と配線容量との積で決定される遅延時間に関する問題である。A. K. Sinha等("Speed Limitations due to Interconnect Time Constants in VLSI Integrated Circuits," IEEE vol. EDL-3, No. 4, Apr. 1982, pp90-92.)

は、配線の電気的特性を2次元ラプラス方程式による数値計算で求め、サブミクロンルールLSIにおいては、デバイスのスピードよりも配線による遅延時間の方が大きいと報告している。また、K. C. Saraswat等("Effect of Scaling of Interconnections on the Time Delay of VLSI Circuits," IEEE vol. ED-29, No. 4, Apr. 1982, pp 645-650)は、0.5μmルール以下のLSIの

性能が配線技術によつて決まるとも報告している。これまで配線による遅延時間を少なくするために低抵抗配線金属材料の検討と低比誘電率絶縁膜の検討とが進められてきた。配線に関しては、現在 Al(Si)が多く用いられているが、サブミクロン領域では限界と考えられ、Al 中への Ti, Cu 等の不純物の添加、高融点金属層との組み合わせ、さらには Mo のような高融点金属配線も検討されている。一方、絶縁膜に関しては、SiO<sub>2</sub> 膜よりも誘電率が低く、かつ、安定な材料はいまだに開発されていない。第2点は、漏話に関する問題である。漏話が発生する理由は、第6図に示すように半導体基板3上に形成された配線構造において、高密度化が進み、配線2の膜厚  $d_1$  とその下の絶縁層1の膜厚  $d_2$  と配線間膜厚  $d_3$  が同程度になつた時に生じやすくなる。その理由は、配線間容量が配線の対地容量と同程度あるいは大きくなるからである。漏話量の目安は、良く知られているように次式で与えられる。

$$C_M / (C_S + C_M)$$

伴い配線の信頼性を低下させることなく、配線遅延を抑えつつ、同時に漏話量を低減する対応策が必要である。また、高密度化が進むにつれて多層配線の構造が必須となつてきている。多層構造を実現するには、平坦化技術が必要である。最近、試料基板にバイアスを印加しスパッタリングを利用し平坦化する方法があるが、スループット、ダメージ等の問題がある。

本発明は、前述した従来の問題に鑑みてなされたものであり、その目的は、高密度および高速度化される半導体集積回路において電気的に大きな問題となる遅延および漏話量を低減させることができるとともにスループット、ダメージ等に全く影響されることなく絶縁層表面を平坦化させ多層配線構造を可能とした配線構造およびその製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明による配線構造は、第1の絶縁層上に形成された配線相互間の少なくとも一部に空洞絶縁層を有する第2の絶縁層を設けたものである。

ここで  $C_S$  は対地容量、 $C_M$  は配線間容量である。この式から、 $C_S = C_M$  となると、被誘導線に誘導線の電位の 1/2 の電位が誘導されることが分かる。

〔発明が解決しようとする問題点〕

このように構成される配線構造において、漏話量を減らす一つの手段として、絶縁層1の膜厚  $d_2$  を減らし、 $C_S$  を大きくする方法がある。しかし、この方法は配線遅延を増加させるため好ましくない。また、もう一つの手段として配線2の膜厚  $d_1$  を薄くするという方法がある。しかしこの方法は配線抵抗が増加し、配線遅延を増大させるため好ましくない。さらにもう一つの漏話量低減の方法として第7図に示すように配線2を覆っている絶縁層1上にグラウンドプレーン9を設けるというものがある。この方法の最大の特徴は、配線2を多層化した際の異なる配線層間の漏話が防止できる点にある。しかしこの方法も配線容量は増加する。したがって従来の配線構造は、高密度化に伴って増加する配線遅延および漏話を抑えることができないという欠点があつた。このため、高密度化に

本発明による配線構造の製造方法は、配線を含む第1の絶縁層上に斜め粒子の多い堆積法により第2の絶縁層を形成するものである。

〔作用〕

本発明における配線構造においては、配線相互間の絶縁層の少なくとも一部に空洞絶縁層を設けたことにより、配線下の絶縁層の比誘電率よりも配線相互間の絶縁層の誘電率が小さくなるので、配線相互間の容量が低減され、遅延時間が低減されるとともに、配線相互間容量の対地容量に対する比率が低減されるので、漏話が発生し難くなるという電気的特性が得られる。また、本発明における配線構造の製造方法においては、配線上に斜め粒子の多い堆積法により第2の絶縁層を形成することにより、配線相互間の狭い溝内に絶縁層が堆積されずに空洞絶縁層が形成されるとともにその表面が平坦化される。

〔実施例〕

以下、図面を用いて本発明の実施例を詳細に説明する。

第1図は本発明の一実施例による配線構造を示す断面図である。同図において、半導体基板4上には $\text{SiO}_2$ からなる第1の絶縁層5が形成されており、この第1の絶縁層5上には $\text{Al}$ からなる複数の配線6が形成され、さらにこれらの配線6上には、それぞれ配線6相互間に空洞絶縁層7を有する第2の絶縁層8が形成されている。この場合、第1の絶縁層5の比誘電率は3.9、空洞絶縁層7の誘電率は1.0である。

このような構成によれば、配線6の下部の第1の絶縁層5の膜厚 $d_1$ と、配線6相互間の膜厚 $d_2$ とが等しくても、あるいは配線6相互間の膜厚 $d_2$ が小さくても配線6の対地容量よりも配線6相互間の容量を小さくすることができる。したがって配線6を高密度に実装しても漏話が発生し難くなる。また、互いに隣接した配線6上部の第2の絶縁層8が接触し、配線6相互間に空洞絶縁層7を形成すると同時にこの第2の絶縁層8の表面が平坦な構造となるので、サブミクロン配線が可能となるとともにその多層化が容易に実現可能となる。

ることができる。

次に本発明の配線構造を実現するための製造方法について説明する。

第3図(a)、(b)は本発明の一実施例による配線構造の製造方法を説明する工程の断面図である。同図(a)において、半導体基板4上にCVD法により $\text{SiO}_2$ を堆積して膜厚約 $0.5\mu\text{m}$ の第1の絶縁層5を形成する。この場合、この第1の絶縁層5の堆積方法としては、CVD法以外にスパッタリング法、プラズマCVD法およびスピノン法などがあり、いずれを採用しても実現できることは言うまでもない。次にこの第1の絶縁層5上に比抵抗 $2.9 \times 10^{-9}\Omega\text{-cm}$ の $\text{Al}$ をスパッタリング法により堆積して膜厚約 $1.0\mu\text{m}$ の金属膜を形成した後、パターンニング加工を行なつて配線6を形成する。この場合、金属膜の堆積法としては、スパッタリング法以外に蒸着法、CVD法およびプラズマCVD法などがあるが、いずれを採用しても実現できることは言うまでもない。また、パターンニングは、レジストパターンをリソグラフィ工程により形成した後、

第2図は本発明の他の実施例による配線構造の断面図であり、第1図と同一または相当部分には同一符号を付してある。同図において、第1図と異なる点は、第2の絶縁層8上には金属材料のグラウンドプレーン9が形成されている。この場合も空洞絶縁層7は、誘電率が第1の絶縁層5および第2の絶縁層8よりも小さい。

このような構成によれば、グラウンドプレーン9を設けたことにより、全配線容量が減るとともに配線6相互間容量の対地容量に対する比率が減少し、配線6相互間の漏話が大幅に低減される。また、このような構成によれば、配線6を多層化した際、空洞絶縁層7は誘電率1.0、第1の絶縁層5および第2の絶縁層8として $\text{SiO}_2$ を用いることにより空洞絶縁層7の誘電率を、第1の絶縁層5および第2の絶縁層8の比誘電率の $1/4$ と小さくしたことにより、 $\text{Al}$ のグラウンドプレーン9を上層に設けたために増加した配線容量を低減させるとともに配線6相互間容量の対地容量に対する比率をさらに小さくさせ、漏話量をさらに低減させ

ドライエッチングより金属膜をエッチングして形成する。本実施例では微細パターンを形成するレジストとしてはEB 2層レジストを用い、リソグラフィはEB描画法により行ない、パターン形成後、 $\text{CCl}_4$ を用いて $\text{Al}$ 金属膜をドライエッチングした。次にこれらの配線6を含む第1の絶縁層5上に誘電率が第1の絶縁層5よりも小さい空洞絶縁層7を有する第2の絶縁層8を形成する。この第2の絶縁層8を形成する方法としては、スパッタリング法、バイアススパッタリング法があるが本実施例ではスパッタリング法を用いて形成した。この場合の形成条件は、ターゲットパワーが約35KW、 $\text{Ar}$ 雰囲気中のガス圧が $2\text{m Torr}$ である。このスパッタリング法で第2の絶縁層8を堆積する場合、堆積する粒子は配線6相互間の狭い溝の中に埋まらない特徴がある。第4図はこの特性を定量的に説明する図である。同図において、溝の高さを $H$ 、溝幅を $S$ 、堆積された平坦面膜厚を $a$ 、溝内に堆積された膜厚を $b$ としたとき横軸にアスペクト比( $H/S$ )、縦軸に埋め込み比( $b/a$ )

を示している。スパッタリング法による粒子は同図から判るようにアスペクト比が1.0以上となると、群に埋り難くなり、約50%程度しか埋らない。これは、スパッタリング法の特徴で斜め方向から粒子が飛来することによる。一方、サブミクロン配線では、配線6の膜厚の減少は抵抗値を増加させるので、配線パターンの縮小に伴ないアスペクト比は高くなり、1.0以上となる。このような形状に対してスパッタリング法により、膜堆積を行なうと、配線6相互間には絶縁膜が堆積されずに空洞絶縁層7を有する層間膜が形成されるとともにこの層間膜表面が平坦化される。この空洞絶縁層7は誘電率が1.0であり、LSIプロセスに適用可能である。また、最近では試料基板にバイアスを印加したスパッタエッチングを利用して絶縁層表面の平坦化を実現する方法があるが、この方法ではスループットが低く、ダメージが発生する等の問題があるが、本発明では、スパッタリングの付着の悪さを積極的に利用したものであり、空洞絶縁層7の形成および表面平坦化を同時に行

なうことができる。したがってスループット、ダメージの問題がなく、かつプロセスを複雑にすることなく、LSIの高密度な配線構造が容易に得られる。

第4図(a), (b), (c)は本発明の他の実施例による配線構造の製造方法を説明する工程の断面図であり、前述の図と同一または相当する部分には同一符号を付してある。同図において、まず、同図(a)に示すように半導体基板4上にCVD法により $\text{SiO}_2$ を堆積して膜厚約0.5 $\mu\text{m}$ の第1の絶縁膜5を形成する。次にこの第1の絶縁膜5上にスパッタリング法によりAlを堆積して膜厚約1.0 $\mu\text{m}$ の金属膜を形成した後、前記第1の実施例と同様にEBレジストによりパターンを形成し、次いで $\text{CCl}_4$ を用いてドライエッチングを行ない、その後レジストを除去して配線6を形成する。次に同図(b)に示すように前記第1の実施例と同様に配線6を含む第1の絶縁層5上に、配線6相互間に空洞絶縁層7を有する第2の絶縁層8を形成した後、同図(c)に示すようにこの第2の絶縁層8上に金属材料で

あるグラウンドプレーン9を堆積する。本実施例ではスパッタリング法によりAlを堆積して膜厚約0.2 $\mu\text{m}$ のAl膜を形成した。

このような方法によれば、第2の絶縁層8上にグラウンドプレーン9を形成したことにより増加する配線容量が低減され配線6相互間容量の対地容量に対する比率がさらに小さくなり、漏れ電を一層低減させた配線構造を容易に得ることができる。

#### 〔発明の効果〕

以上説明したように本発明による配線構造によれば、第1の絶縁層上に形成された配線6上に、該配線相互間に空洞絶縁層7を有する第2の絶縁層を設けたことにより、配線相互間の容量が低減され、遅延時間が大幅に低減されるとともに配線相互間容量の対地容量に対する比率が低減され漏れ電が大幅に低減されるので、電気的特性を大幅に向上させることができるという極めて優れた効果が得られる。また、本発明による配線構造の製造方法によれば、配線を含む第1の絶縁層上に斜め粒子の多い堆積法により第2の絶縁層を形成することに

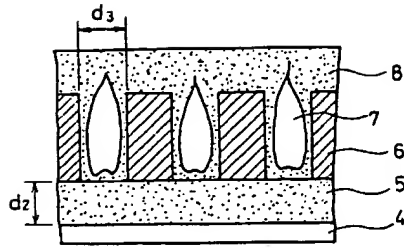
より、配線相互間に空洞絶縁層が形成され、さらにこの空洞絶縁層形成後の第2の絶縁層の表面が平坦化されるので、サブミクロン配線が容易に可能となるとともにその多層化が容易に実現可能となるなどの極めて優れた効果が得られる。

#### 4. 図面の簡単な説明

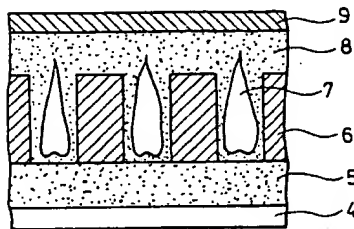
第1図は本発明の一実施例による配線構造を示す断面図、第2図は本発明の他の実施例による配線構造を示す断面図、第3図(a), (b)は本発明の一実施例による配線構造の製造方法の一実施例を示す工程の断面図、第4図はスパッタリング法による埋め込み特性を示す図、第5図(a), (b), (c)は本発明の他の実施例による配線構造の製造方法を示す工程の断面図、第6図および第7図は従来の配線構造を示す断面図である。

4・・・半導体基板、5・・・第1の絶縁層、6・・・配線、7・・・空洞絶縁層、8・・・第2の絶縁層、9・・・グラウンドプレーン。

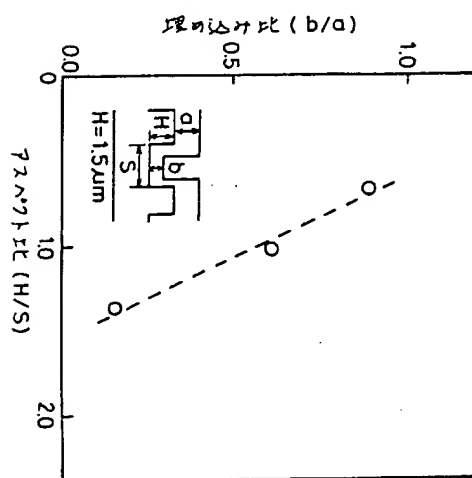
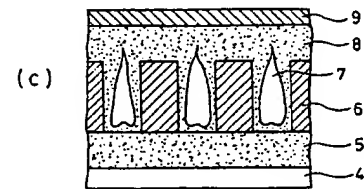
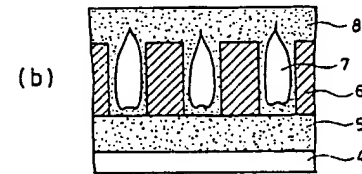
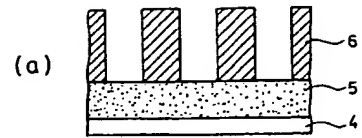
第 1 図



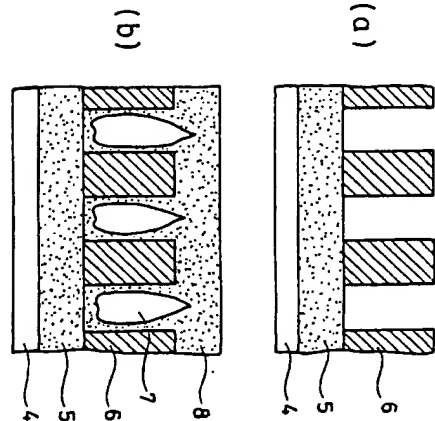
第 2 図



第 5 図



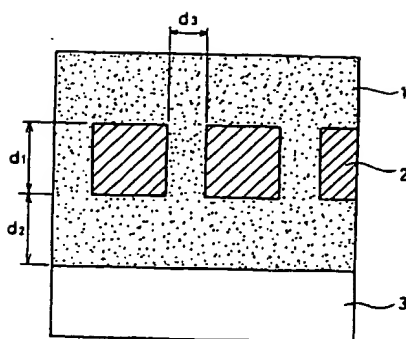
第 4 図



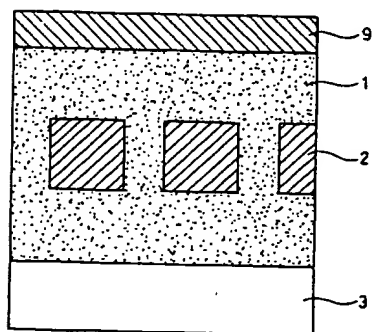
第 3 図



第 6 図



第 7 図



第 1 頁の続き

②発 明 者 木 内

一 秀

神奈川県厚木市森の里若宮 3 番 1 号 日本電信電話株式会  
社厚木電気通信研究所内